

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-074764

(43)Date of publication of application : 20.03.1989

(51)Int.Cl.

H01L 29/80

H01L 21/20

H01L 29/205

(21)Application number : 62-232814

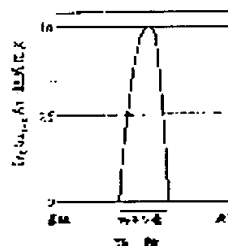
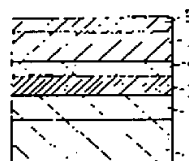
(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 17.09.1987

(72)Inventor : MATSUNO TOSHINOBU
INOUE KAORU**(54) SEMICONDUCTOR DEVICE****(57)Abstract:**

PURPOSE: To increase critical film thickness, to reduce a band gap and to augment the difference (ΔE_c) of conduction bands by forming a grated channel layer, in which the composition ratio of a multicomponent mixed-crystal semiconductor is selected so that lattice matching can be conducted sufficiently with the layer of a substrate on the interface between a channel layer and the layer on the substrate side and changed continuously toward the surface side.

CONSTITUTION: A undoped GaAs buffer layer 2 and a grated $\text{In}_x\text{Ga}_{1-x}\text{As}$ layer 3 are shaped onto a semi-insulating GaAs substrate 1. Lattice matching is performed completely as $x=0$, the same GaAs as the layer 2, on the interface with the GaAs buffer layer 2 in the variation of a composition ratio (x), (x) is increased toward the surface of the substrate, and a band gap is maximized as $x=1$, InAs, on the surface side from the center of a channel, ΔE_c is also maximized and mobility is also maximized. (x) is gradually reduced again toward the surface side, and lattice matching is executed as $x=0$, GaAs, on the interface with an undoped $\text{Al}_x\text{Ga}_{1-x}\text{As}$ layer ($x=0.3$) 4.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-74764

⑬ Int. Cl.⁴

H 01 L 29/80
21/20
29/205

識別記号

庁内整理番号

H-8122-5F
7739-5F
8526-5F

⑭ 公開 昭和64年(1989)3月20日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-232814

⑰ 出 願 昭62(1987)9月17日

⑱ 発 明 者 松 野 年 伸 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 発 明 者 井 上 薫 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
㉑ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

半導体基板上に形成された半導体バッファー上にバンドギャップの大きなドーピングを行なった第1の半導体層を設け、前記第1の半導体層の上に、前記第1の半導体層と同一の組成から基板表面方向に向かってバンドギャップが小さくなり最小値をとり再び大きくなる様に組成を連続的に変化した多元混晶半導体層を設け、前記多元混晶半導体層上に前記多元混晶半導体層よりバンドギャップが大きく、格子整合が可能なドーピングされた第2の半導体層を設けてなる半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体装置に関し、特にたとえば格子歪を有するヘテロ接合を用いた電界効果トランジスタに関するものである。

従来の技術

格子歪を有するヘテロ接合電界効果トランジスタとしては、2次元電子の走行するチャネル層にバンドギャップが小さく、高電子濃度を得る事ができ、電子移動度が高い、高電子移動度トランジスタ(HEMT)がある、第4図にシゲルヘテロ構造のInGaAs/AlGaAs HEMTの例を示す。

第4図の構造において16は半絶縁性GaAs基板で、17は0.5μmのノンドープGaAsバッファー層である。その上に形成された18はノンドープIn_xGa_{1-x}As チャネル層(x=0.15)であり膜厚は200Å程度で歪層となっている。19はノンドープAlGaAs 層よりなるスペーサ層である。20は1~2×10¹⁸cm⁻³のドーピングをされた電子供給層となる、N型AlGaAs 層でIn_xGa_{1-x}As 層との電子親和力の差により、ポテンシャルの井戸が形成され、層18と19の界面に2次元電子ガス22を形成している。この2次元電子ガス22をゲートによりコントロールしFET動作をさせている。

19はノンドープ AlGaAs 層はN型 AlGaAs 層20に存在するイオン化不純物と2次元電子ガスを空間的に分離している。21はN型 GaAs 層でソース、ドレインのオーミックの形成を容易にする為に設けられたcap層である。

このチャネル層18に $\text{In}_x\text{Ga}_{1-x}\text{As}$ を用いたHEMTは従来の GaAs を用いたものと比較して、コンダクションバンドの差 ΔE_c が GaAs の約2倍で、より高い濃度の2次元電子ガスを得る事ができ、また有効質量も小さい為、電子移動度も大きく、高 ρ_m (相互コンダクタンス)のFETの実現が可能となる。

発明が解決しようとする問題点

第4図に示す様な従来の $\text{In}_x\text{Ga}_{1-x}\text{As}$ をチャネル層18に用いた構造においては $\text{In}_x\text{Ga}_{1-x}\text{As}$ の組成比 x を大きくする事によりバンドギャップが小さくなり、 ΔE_c が増大し、2次元電子ガス濃度もさらに増大し、電子移動度も増加し、 ρ_m の向上を図る事ができる。しかし GaAs 、 AlGaAs と InGaAs とでは格子定数の差が大きく

十分できる様選択し、表面側に向って徐々に組成比を連続的に変化させてゆきバンドギャップを徐々に小さくし、再び表面側に向ってバンドギャップが大きくなる様組成比を連続的に変化させたグレーティッドチャネル層とし、最終的にチャネル層と表面側の層との界面では十分格子整合が行なわれる様チャネル層多元混晶半導体の組成比とするものである。

作 用

本発明においては、組成を連続的に変化させる為、格子定数も格子整合のとれた状態から歪を徐々に緩和しながら連続的に変化していくので等価的に臨界膜厚を大きくする事ができ、バンドギャップが小さくなり、 ΔE_c を大きくする事が可能となる。

実 施 例

第1図に本発明を $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{AlGaAs}$ シングルヘテロ構造に適用した実施例を示す。1は半絶縁性 GaAs 基板で2はその上に形成されたノンドープの GaAs バッファ層である。3は本

$\text{GaAs}/\text{InGaAs}$ および $\text{AlGaAs}/\text{InGaAs}$ のそれぞれの界面でミスマッチが生じ、 InGaAs 層が歪んでいる。 $\text{In}_x\text{Ga}_{1-x}\text{As}$ の格子定数 a は一般に $a = 5.6536 + 0.4054x(\text{\AA})$ で得られる。 GaAs の格子定数 $a_0 = 5.6536(\text{\AA})$ であり、これらより GaAs と $\text{In}_x\text{Ga}_{1-x}\text{As}$ とのミスマッチを求めて見ると $x = 0.15$ で約1%となる。 x が一定の場合、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層の厚さがある厚さ(臨界膜厚)を越えると歪みが限界に達し、クラック等が発生する。臨界膜厚は x の増加と共に減少する事が知られており、第5図に示すごとく $x = 0.4$ では100 \AA 以下となっている。

従って従来の構造では2次元濃度ガス濃度を向上させる為に x を大きくすれば膜厚を小さくする必要があり、膜厚が極端に小さくなると2次元電子ガスが形成されなくなり、 x をある程度非常に大きくする事は困難であった。

問題点を解決するための手段

本発明は多元混晶半導体の組成比をチャネル層と基板側の層との界面では基板の層と格子整合を

発明のポイントとなるグレーティッド

$\text{In}_x\text{Ga}_{1-x}\text{As}$ 層であり組成比 x の変化は第2図の様に成なり。すなわち GaAs バッファ層2との界面では $x = 0$ すなわち層2と同じ GaAs として格子整合が完全に行なわれている状態にし、基板表面に向うに従って x を増加させチャネルの中心から表面側で $x = 1$ すなわち InAs とする事でバンドギャップが最大($\sim 0.35\text{eV}$)で ΔE_c も最大となり移動度に関しても最大となる事が期待できる。また表面側になるに従って再び x を小さくしていき、ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層($x = 0.3$)4との界面で $x = 0$ で GaAs となり格子整合が行なわれる様にする。 GaAs と $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($x = 0.3$)との格子整合については GaAs の格子定数 $a_{\text{GaAs}} = 5.654\text{\AA}$ で AlGaAs は $a_{\text{AlGaAs}} = 5.656\text{\AA}$ ($x = 0.3$)でミスマッチは0.04%でほぼ完全に格子整合されており、ミスマッチ等による界面が2次元電子ガスに及ぼす、移動度の減少、電子濃度の減少といった影響を軽減することができる。5はキャリ

ア供給層のN型AlGaAs層でドーピング量 N_D は $N_D=1\sim 2\times 10^{18}\text{cm}^{-3}$ とし $x=0.3$ としている。4はノンドープAlGaAsスペーサー層で6はN-GaAsキャップ層である。

本発明を $\text{In}_x\text{Ga}_{1-x}\text{As}/\text{AlGaAs}$ ダブルヘテロ構造に適用したものを第3図に示す。7は半絶縁性GaAs基板、8はノンドープGaAsバッファ層(1000Å)、9はノンドープAlGaAsバッファ層(2000Å)である。10、11はそれぞれN型AlGaAsキャリア供給層(100~150Å)、ノンドープAlGaAsスペーサー層(~50Å)であり、シングルヘテロ構造で基板側にもキャリア供給層をつけた構造となっている。他の層についてはシングルヘテロと同じである。すなわち13はグレーティッド $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層、14はN型AlGaAsキャリア供給層、15はN型GaAsキャップ層である。本発明は $\text{InGaAs}/\text{AlGaAs}$ のみならず他の組み合わせについても適用できる事は言うまでもない。

発明の効果

ィッド $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層、4、11、13……ノンドープAlGaAsスペーサー層、5、10、14……N型AlGaAsキャリア供給層、6、15……N型GaAsキャップ層、18……

$\text{In}_x\text{Ga}_{1-x}\text{As}$ 歪層。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

本発明は、チャンネル層の組成を連続的に変化した多元混晶を用いる事により格子定数の異なるヘテロ接合を形成する事が可能であり、バンドギャップの小さな層を用いる事で $4E_0$ を大きくでき、ヘテロ接合における2次元電子ガス濃度を向上させ、FETの高 g_m 化を図り、性能の向上が可能となる。

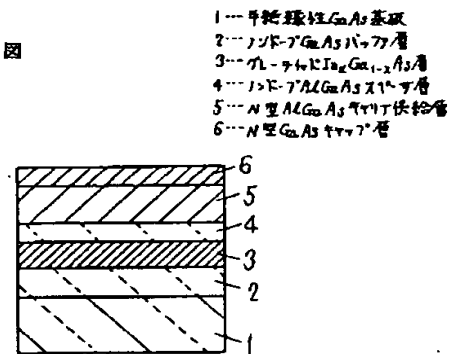
4. 図面の簡単な説明

第1図、第3図は本発明の実施例の

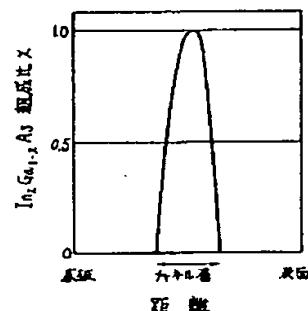
$\text{In}_x\text{Ga}_{1-x}\text{As}$ 歪層を有するシングルヘテロ及びダブルヘテロ構造半導体装置の断面図、第2図は同装置のグレーティッド $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層の深さ方向の組成比 x の変化を示す特性図、第4図は従来の $\text{In}_x\text{Ga}_{1-x}\text{As}$ 歪層を用いたHEMTの断面図、第5図はGaAs層上に $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層を形成した場合の組成比 x とミスマッチと臨界膜厚との関係を示した特性図である。

1、7……半絶縁性GaAs基板、2、9……ノンドープGaAsバッファ層、8……ノンドープAlGaAsバッファ層、3、12……グレーテ

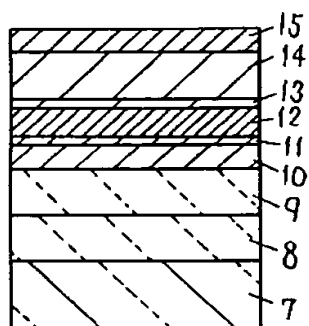
第 1 図



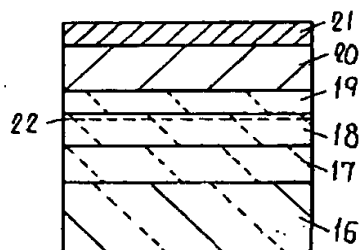
第 2 図



第 3 図



第 4 図



第 5 図

